

Best Available Copy

DELPHION

No active tr.

Select CR



RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out Work Files Saved Searches

My Account

Search: Quick/Number Boolean Advanced Der

The Delphion Integrated View: INPADOC RecordGet Now: ☒ PDF | More choices...Tools: Add to Work File: [Create new Work File](#)View: Jump to: Go to: [Derwent](#)

Email

Title: **CN1320960A: INTERCONNECTION METHOD WITHOUT LEAD BOSS**Derwent Title: Formation of solder bumps on a chip or wafer for flip-chip applications, utilizes solder bump materials comprising pure tin, tin-copper, tin-silver, tin-bismuth, or tin-silver-copper alloy [\[Derwent Record\]](#)Country: **CN** ChinaKind: **A** Unexamined APPLIC. open to Public inspection iInventor: **ZHANG WEIMING**; Hong Kong
Z.S. KARIM; Hong KongAssignee: **ZHUOLIAN SCIENCE AND TECHNOLOGY CO., LTD** Hong Kong
[News, Profiles, Stocks and More about this company](#)Published / Filed: **2001-11-07 / 2001-04-19**Application Number: **CN2001000115321**IPC Code: **H01L 21/60**; **H01L 21/28**;ECLA Code: **None**Priority Number: **2000-04-19 US2000000552560**

Abstract: A method for generating bosses of welding material on chip which is reversely mounted includes providing chip with multiple welding pads for electric connection, electroplating tin or tin alloy chosen from Sn-Cu, Sn-Ag, Sn-Bi and Sn-Ag-Cu onto said welding pads, and heating to a temp higher than melting point of boss for reflowing to form a round boss.

INPADOC Legal Status: **None** Get Now: [Family Legal Status Report](#)Designated Country: **AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR**

Family:

| PDF | Publication | Pub. Date | Filed | Title |
|-------------------------------------|--------------------------------|------------|------------|---|
| | US6638847 | 2003-10-28 | 2000-04-19 | Method of forming lead-free bump interconnections |
| <input checked="" type="checkbox"/> | SG0094808A1 | 2003-03-18 | 2001-04-18 | METHOD OF FORMING LEAD-FREE INTERCONNECTIONS |
| <input checked="" type="checkbox"/> | JP2001308129A2 | 2001-11-02 | 2001-03-30 | METHOD OF FORMING LEAD-FREE |
| <input checked="" type="checkbox"/> | HK1043245A1 | 2003-04-11 | 2002-04-19 | METHOD OF FORMING LEAD-FREE INTERCONNECTIONS |
| <input checked="" type="checkbox"/> | GB2361450B2 | 2002-06-26 | 2000-12-18 | Method of forming lead-free bump interconnections |

| | | | | |
|-------------------------------------|-----------------------------|------------|------------|---|
| <input checked="" type="checkbox"/> | GB2361450B | 2002-06-26 | 2000-12-18 | METHOD OF FORMING LEAD-FREE INTERCONNECTIONS |
| <input checked="" type="checkbox"/> | GB2361450A1 | 2001-10-24 | 2000-12-18 | Forming lead-free solder bump intercon |
| <input type="checkbox"/> | GB2361450A | 2001-10-24 | 2000-12-18 | FORMING LEAD-FREE SOLDER BUM INTERCONNECTIONS |
| | GB0030870A0 | 2001-01-31 | 2000-12-18 | Method of forming lead-free bump interconnections |
| <input checked="" type="checkbox"/> | GB0030870A | 2001-01-31 | 2000-12-18 | METHOD OF FORMING LEAD-FREE INTERCONNECTIONS |
| <input type="checkbox"/> | EP1148548A3 | 2002-01-30 | 2001-03-13 | Method of forming lead-free bump interconnections |
| <input type="checkbox"/> | EP1148548A2 | 2001-10-24 | 2001-03-13 | Method of forming lead-free bump interconnections |
| <input checked="" type="checkbox"/> | CN1320960A | 2001-11-07 | 2001-04-19 | INTERCONNECTION METHOD WITH BOSSES |
| 13 family members shown above | | | | |

Other Abstract
Info:

None



[Nominate this for the Gallery...](#)

THOMSON

Copyright © 1997-2005 The Tho

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact U](#)

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/60

H01L 21/28

[12] 发明专利申请公开说明书

[21] 申请号 01115321.0

[43]公开日 2001 年 11 月 7 日

[11]公开号 CN 1320960A

[22]申请日 2001.4.19 [21]申请号 01115321.0

[30]优先权

[32]2000.4.19 [33]US [31]09/552,560

[71]申请人 卓联科技有限公司

地址 中国香港

[72]发明人 张伟明 Z·S·卡里姆

[74]专利代理机构 北京纪凯知识产权代理有限公司

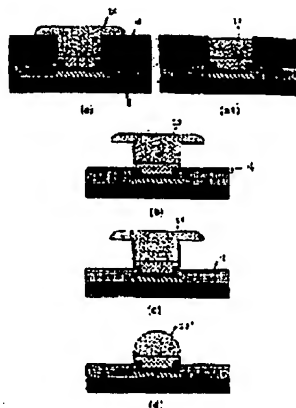
代理人 程 伟

权利要求书 2 页 说明书 9 页 附图页数 8 页

[54]发明名称 形成无铅凸点互连的方法

[57]摘要

一种用于倒装法在基片或晶片上形成焊料凸点的方法,包括步骤:提供具有多个金属焊盘的基片或晶片,这些金属焊盘提供与基片或晶片的电连接;通过电镀技术镀覆包括纯锡或从锡-铜、锡-银、锡-铋或锡-银-铜选择的锡合金的焊料凸点;以及通过加热到凸点的熔点温度以上熔融焊料凸点,以实现再流。



ISSN 1000-8427 4

知识产权出版社出版

权利要求书

1. 一种用于倒装法在基片或晶片上形成焊料凸点的方法, 包括步骤: 提供具有多个金属焊盘的基片或晶片; 这些金属焊盘提供与基片或晶片的电连接; 通过电镀技术镀覆包括纯锡或从锡-铜、锡-银、锡-铋或锡-银-铜选择的锡合金的焊料凸点; 以及通过加热到凸点的熔点温度以上熔融焊料凸点, 以实现再流。

2. 根据权利要求 1 的方法, 其特征在于, 焊料是具有低于 2wt% 的铜、其余是锡的锡-铜合金。

3. 根据权利要求 2 的方法, 其特征在于, 焊料是具有大约 0.7wt% 的铜的锡-铜合金。

4. 根据权利要求 1 的方法, 其特征在于, 焊料是具有低于 20wt% 的银、其余是锡的锡-银合金。

5. 根据权利要求 4 的方法, 其特征在于, 锡-银合金具有大约 3.5wt% 的银, 其余是锡。

6. 根据权利要求 4 的方法, 其特征在于, 锡-银合金具有大约 10wt% 的银, 其余是锡。

7. 根据权利要求 1 的方法, 其特征在于, 焊料是具有 5-25wt% 的铋、其余是锡的锡-铋合金。

8. 根据权利要求 7 的方法, 具有大约 20wt% 的铋, 其余是锡。

9. 根据权利要求 1 的方法, 其特征在于, 焊料是具有低于 5wt% 的银、低于 2wt% 的铜、其余是锡的锡-银-铜合金。

10. 根据权利要求 9 的方法, 具有大约 3.5wt% 的银。

11. 根据权利要求 9 的方法, 具有大约 0.7wt% 的银。

12. 根据权利要求 1 的方法, 其特征在于, 锡-铜、锡-银、或锡-铋合金的元素是从单一电镀液同时共沉积为合金的。

13. 根据权利要求 1 的方法, 其特征在于, 锡-铜、锡-银、锡-铋或锡-银-铜合金是通过顺序电镀纯元素而沉积的, 加热形成所需要的合金。

14. 根据权利要求 1 的方法, 其特征在于, 锡-银-铜合金是通过沉积锡-铜合金或元素银中的一种或另一种, 然后沉积另一种, 加热形成合金, 其中锡-铜合金是通过共沉积从单一电镀液沉积的。

15. 根据权利要求 1 的方法, 其特征在于, 基片或晶片设有布图的厚光敏材料层, 以限定焊料凸点的位置, 该光敏材料具有 25-200 μm 的厚度。

16. 根据权利要求 1 的方法, 其特征在于, 电镀是用直流电进行的。

17. 根据权利要求 1 的方法, 其特征在于, 电镀是用脉冲交流电进行的。

18. 根据权利要求 17 的方法, 其特征在于, 每一个脉冲包括大约 +5V 持续 1 毫秒、0V 持续大约 1 毫秒、大约 -5V 持续大约 1 毫秒、0V 持续大约 1 毫秒。

19. 一种用于倒装法在芯片或晶片上形成焊料凸点的方法, 包括下列步骤:

- a) 提供具有钝化层和多个暴露的金属焊盘的基片或晶片;
- b) 将至少一个焊料浸润金属层加到焊盘上;
- c) 将在焊盘的位置具有开口的光敏层加到基片或晶片上;
- d) 通过电镀技术, 镀覆包括纯锡或从锡铜、锡银、锡铋或锡银铜选择的锡合金;
- e) 除去光敏层; 和
- f) 熔融焊料凸点, 实现再流。

20. 一种根据权利要求 1 的方法形成的具有焊料凸点的基片或晶片。

21. 一种根据权利要求 19 的方法形成的具有焊料凸点的基片或晶片。

说明书

形成无铅凸点互连的方法

本发明涉及用于倒装焊接的在半导体晶片上形成无铅焊料凸点互连的方法。

用倒装互连技术,首先在集成电路(IC)的输入/输出连接焊盘上形成称为“凸点”的隆起的电接触,然后在不用传统的引线焊接或引线的情况下,将集成电路面朝下装配(或倒装焊接)。已经提出了各种各样的凸点互连媒介,包含金、铅-锡焊料、镍、铜和导电聚合物。由于焊料的自调整 and 自平整化性能(再流时),该焊料能供更坚固且可制造的连接工艺之用,铅-锡凸点特别引起人的注意。除了提供电接点,焊料凸点还形成芯片和衬底之间的机械和热连接。IBM 于二十世纪六十年代在他们的 C4(控制-倒塌-芯片-连接,即 controlled-collapse-chip-connection)技术中首先在倒装法中使用铅-锡焊料凸点,采用用于凸点制造的蒸发方法。

倒装技术与其它传统的互连技术相比,其主要好处包含:

- i) 由于小凸点接点实际上可以放在芯片表面的任意位置和便于特殊使用的点(不像“只是周围”焊接技术例如导线焊接和纸带自动焊接(TAB)),因此显著提高了能够连接到芯片的连接总数的能力。
- ii) 具有减小电路片尺寸的潜能,避免需要引到周边焊盘的、影响 IC 的制造产量和可靠性的长金属化线。
- iii) 降低电阻和电感值,加快互连速度和降低功耗。
- iv) 由于通过焊料凸点传热和倒装焊接后暴露 IC 的背面,因地具有较好的热扩散性能。
- v) 提供小的、轻的和更紧密的封装,从总体上降低了每个管脚的封装费用。

焊料凸点材料的精确组分的选择受各种因素的影响,特别是手熔点的影响。必须注意焊料熔点,特别是当将芯片焊到大部分由便宜的有机材料形成的衬底上时,这种衬底具有相当低的 T_g (玻璃转变温度)。当倒装焊接 IC 时,通常加热到比焊料熔点高 20-30°C 的温度。焊料凸

点具有太高的熔点可能会导致衬底的毁坏。

现在用于倒装焊接法两种最普通的凸点材料是纯金和铅-锡基金。前者主要用于液晶显示器上 (LCDs) 或 TAB 封装中的倒装式硅集成电路。铅-锡焊料凸点主要用于板上倒装或封装中倒装方面。由于其便宜和自平整和自调整的再流特性, 这些特性提供了更可制造的和坚固的倒装焊接工艺, 因此通常最好是除金凸点以外的焊料凸点。

平常用作焊料凸点的铅-锡合金尤其包含 95wt%Pb/5wt%Sn, 97wt%Pb/3wt%Sn 和共熔 37wt%Pb/63wt%Sn。而且已经提出了具有添加剂 In、Ag 和 Bi 的铅基焊料。

随着对环境的了解, 已经在考虑在世界范围内禁止在电子产品中使用含铅焊料, 因为这些产品通常采用掩埋处置, 这些产品中的铅最后渗入到饮用水系统。限制在电子产品中使用铅的法律可能会在欧共体中被通过, 禁铅的类似法规在美国和日本也正在制定中。这样, 为电子元件找到合适的无铅产品的努力主要集中在印刷电路板、引线框架封装和焊料膏的选择上。对于倒装法的凸点互连的制造没有引起注意。

已经提出的无铅焊料包含那些基于铟的焊料和铟与铋、镉、锡、锌和银的合金。

所需要的是能够直接代替原来用于倒装法的铅-锡合金的无铅焊料凸点复合物, 以及使用这种无铅焊料凸点复合物的制造方法。

在授权给摩托罗拉的美国专利 No. 5410184 中提出了利用无铅合金, 该无铅合金具有作为主要成分的锡, 2-8wt%或更好 3-5wt%的铜和最多 1.5wt%的银。这种焊料需要存在一定量的铜, 最好 3-5wt%, 以便为焊接牢固性而保证形成一定程度的金属互化物。然而这种复合物可能会由于锡-铜金属互化物的过量形成而产生连接脆裂的问题。

本发明寻求提供一种形成焊料凸点的方法, 能够克服上述问题。

根据本发明的第一方面在于, 一种用于倒装法在基片或晶片上形成焊料凸点的方法, 包括步骤: 提供具有多个金属焊盘的基片或晶片, 这些金属焊盘提供与基片或晶片的电连接; 通过电镀技术镀覆包括纯锡或从锡-铜、锡-银、锡-铋或锡-银-铜选择的锡合金的焊料凸点; 以

及通过加热到凸点的熔点温度以上熔融焊料凸点，以实现再流。

焊料最好是下列之一，它们是纯锡；具有低于 2wt% 的铜、或更好大约 0.7wt% 的铜的锡-铜合金；具有低于 20wt% 的银、或更好大约 3.5wt% 的银、或 10wt% 的银的锡-银合金；具有 5-25wt% 的铋、或更好大约 20wt% 的铋的锡-铋合金；具有低于 5wt% 的银、最好大约 3.5wt% 的银、低于 2wt% 的铜、最好大约 0.7wt% 的铜、其余是锡的锡-银-铜合金。

发现纯锡或锡合金可以直接代替传统的铅-锡合金，可以用电镀形成焊料凸点，形成特别清晰的规则的凸点。验明锡基焊料与存在的再流焊工艺和材料、表面贴装技术和设备也是相适应的。

在二元锡-铜、锡-银和锡-铋合金的情况下，可以从单一电镀液同时共沉积上述元素为合金。

在另一技术中，可以从各个电镀液顺序沉积元素，在再流焊工艺过程中通过加热形成需要的合金。这种顺序电镀也特别适合于锡-银-铜三元合金。在这种情况下，通过沉积锡-铜合金或元素银之一，然后沉积另一个，加热形成三元合金，其中锡-铜合金是从单一电镀液通过共沉积形成的。也可以顺序沉积三种元素。

在电镀前，可以在基片或晶片上配置有起扩散阻挡层作用的溅射层或金属层，防止氧化、粘附和电镀接触层（电导线）。用厚的光敏聚合物材料层例如厚 25-200 μm 的光致抗蚀剂（负或正色度）或干膜来限定要电镀的焊料凸点的位置和体积。为了确保镀覆的焊料凸点的足够高度和体积而不会引起与下一个相邻凸点的短路，保持芯片和衬底之间离开必要的高度，以便补偿芯片和衬底的热膨胀系数之间的差异，以及为充满的材料在倒装焊接后在芯片和衬底之间流动而提供足够的间隙，设置厚的光致抗蚀剂或干膜是重要的。

焊料凸点的电镀可以采用直流（DC）或脉冲交流进行。电流和电压值依赖于晶片的尺寸和要电镀的所暴露的总面积。最好直流电镀参数范围为电压 3-5V、电流 0.05 至 0.1A 之间。在最好的脉冲电镀循环中，电压在 +5V 持续大约 1 毫秒、0V 持续大约 1 毫秒或更短、-5V 至 -10V 之间持续 1 毫秒，0V 持续大约 1 毫秒之间交替。

用于在晶片上电镀焊料的设备可以采用支架或贮液槽电镀设备。

根据本发明的另一方面在于，一种用于倒装法在芯片或晶片上形成焊料凸点的方法；包括下列步骤：a) 提供具有钝化层和多个暴露的金属焊盘的基片或晶片；b) 将至少一个焊料浸润金属层加到焊盘上；c) 将在焊盘的位置具有开口的光敏层加到基片或晶片上；d) 通过电镀技术，镀覆包括纯锡或从锡铜、锡银、锡铋或锡银铜选择的锡合金；e) 除去光敏层；和 f) 熔融焊料凸点，实现再流。

本发明还在于根据上述方法形成的芯片或晶片。

现在参考下面的附图，只是当作例子，描述本发明的实施例。

图 1 是封装中倒装式的截面图；

图 2 (a) 至 (d) 说明焊料凸点沉积的前四个步骤；

图 3 (a) 至 (d) 说明接着图 2 (a) 至 (d) 的步骤之后的沉积步骤；

图 4 (a) 和 (b) 显示了根据本发明形成的锡-铜凸点的扫描电子显微照片；

图 5 (a) 和 (b) 显示了根据本发明形成的锡-铋凸点的扫描电子显微照片；

图 6 (a) 和 (b) 显示了纯锡凸点的扫描电子显微照片；

图 7 (a) 和 (b) 显示了根据本发明的锡-银凸点的扫描电子显微照片；

图 8 (a) 和 (b) 显示了根据本发明的锡-银-铜凸点的扫描电子显微照片；

最佳实施例描述

现在看附图，图 1 显示了通过在技术上称为“凸点”的焊料的金属化接点倒装焊接到衬底 4 上的集成电路 2。衬底 4 可以通过另外的焊料球 7 或引线焊接到印刷电路板 9 的印刷电路板或中间封装例如球栅阵列 (BGA) 或芯片级封装 (CSP)。该封装可以由有机、陶瓷或金属材料形成。

本发明利用基本上不含铅的金属焊料 (除了铅以杂质水平存在，一般可以允许 10ppm)。现在发现有些复合物特别好，这些复合物包含纯锡或包含有少量合金元素例如铜、银、铋或既有银又有铜的锡，还

发现加入这些合金元素能有效地降低纯锡的熔点，防止在镀覆层上形成晶须，降低锡的表面张力（在 -232°C ，550 达因/cm）以提高锡的机械性能（例如韧性），防止纯锡在 13°C 以下出现从 β 到 α -型的相变。这种相变伴随着体积的变化，导致机械强度的降低，以及损害焊接牢固性和强度。下面进一步详细讨论焊料凸点材料。

图 2 (a) 至 (d) 和 3 (a) / (a1) 至 (d) 说明了利用电镀技术，形成所描述的复合物的金属焊料凸点互连的制造工艺。

图 2 (a) 显示了半导体晶片 8，在半导体晶片 8 的适当位置预先形成了焊盘，焊盘通常是由 Al: Si (1-2wt%Si) 或 Al: Si: Cu (1-2wt%Si 和 1-5wt%Cu) 或近来出现的纯铜制成的，在半导体片的上面延伸有玻璃钝化层 12，但是在适当的位置除去了钝化层，以便暴露焊盘 10，该焊盘与芯片的有源区电连接。

第一步包括在真空中用后溅射工艺对晶片 8 进行清洗，以便除去在焊盘上自然形成的氧化层。清洗步骤之后，溅射淀积单层或多层的金属层 14，通常是如图 2b 所示的两层，第一金属层通常由铬制成，厚度在 500-1000 埃之间，它具有多个功能，包含增加与清洗后的焊盘和玻璃钝化层的附着力，防止金属焊盘的再氧化，和形成对焊料的阻挡扩散层。第一层也可以采用 Ti/W 、 NiV 或 Ti 。第二金属层用厚度为 2500-10000 埃的铜制成，以便为下凸点金属形成籽晶层，也提供了接点镀覆（导线）层。可以用镍代替铜形成第二层。

下一步包含用紫外线敏感可光成像有机膜 16 如图 2 (c) 所示的液态光致抗蚀剂或干膜的厚层（最好在 50-200 μm 之间）对半导体片布图，紫外线敏感可光成像有机膜 16 可以是如图 2 (c) 所示的液态光致抗蚀剂，通过旋涂淀积到晶片的表面上然后烘干固化，或者是干膜，层叠到片的表面上。为了用液体抗蚀剂得到这么厚的层，可能需要两步涂覆和烘干。然后通过具有开口的金属覆盖的玻璃光掩膜对光敏层进行曝光布图，该开口是在金属层中选择蚀刻形成的，以限定凸点的面积。这些开口允许紫外线穿过并对光敏层曝光。光敏层的厚度和开口的尺寸部分地决定了焊料凸点的最后体积和形状。厚度对于确保足够的凸点高度是很重要的，该凸点高度是在再流凸点和倒装焊接之后确保芯片离开衬底足够的距离要达到的高度。这个工艺可以采用或正或负色

调的光敏聚合物。在对光敏层显影冲洗之后，对不须镀覆的区域设置保护层，在晶片的边缘对对着底层溅射铜层的电接点开孔，然后用铜（或镍）对片进行镀覆，形成下凸点金属（UBM）18，如图2（d）所示。该层通常厚3-7 μm ，作为焊料凸点的“浸润”基底。

然后用焊料对晶片进行电镀（图3（a）），通过选择合适类型的镀液和电镀槽中的阳极，进行纯锡或包括锡铜、锡银或锡铋的合金的无铅沉积，通过一种电镀液以理想的配比同时共沉积各个元素，形成凸点20，可以采用各种供应商供应的电镀液，例如 Shipley Ronel 提供的电镀液。对于纯锡，电镀 Shipley Ronal 的“Tinglo Culmo”产品特别合适，而对于锡铋，他们的“Solderon BI”产品特别合适。通常对晶片施加负电压，使其有效地成为阴极。对于上述每一种理想的合金，在可溶解阳极技术的情况下，可以采用纯锡阳极或锡铜阳极，或者对于锡铋沉积，最好采用不可溶解的镀铂钛阳极。镀覆的锡铜、锡铋和锡银镀层可以用单一电镀液以理想的配比进行同时共沉积各个元素来形成，也可以通过顺序镀覆纯元素（以需要的量），然后对镀层进行再流，得到具有所需要的组成的合金。已经发现施加3-5A.S.D（安培每平方分米）的电流密度比较合适。配合支架或贮液器（槽）电镀设备，可以采用直流（DC）或脉冲电镀技术。对于直流电镀，电压3-5V、电流在0.05至0.1A之间最好。对于脉冲交流，发现包括在大约+5V持续大约1毫秒、然后在0V持续大约1毫秒、然后在-5V持续1毫秒，然后在0V持续1毫秒的脉冲对于凸点的均匀性和镀层的组分有利。

而且已经发现，通过用不同的电镀液顺序电镀，并控制电镀时间来控制每一种元素的相对量，进行纯元素的沉积，可以代替从单一电镀液同时沉积各个元素。这样会生成纯元素的分层结构，当再流电镀层时（如下面要讨论的），得到的凸点是具有理想配比的合金。这种顺序电镀可以用于所讨论的任意一种二元合金。已经发现先镀哪种元素后镀哪种元素一般并不重要。

已经发现在锡银铜的情况下，这种顺序电镀技术特别有用，因为要精确控制最后的合金组分是困难的，这样从单一电镀液电镀三元合金也是困难的。在这种情况下，最好与银分开，首先从单个二元电镀液通过同时共沉积锡铜形成锡铜镀层，然后电镀纯银。在对所电镀的

镀层再流的基础上，形成了理想的三元合金。也可以首先沉积银，然后电镀锡铜。还可以三种单独的元素顺序沉积。对于相当大的凸点的沉积，这种选择是适用的，但对于更小的凸点，这种选择变得更困难，因为铜的比例很小（小于 2%，最好大约 0.7%），难于精确控制沉积的铜量。

如果在焊料到达布图的光敏层的顶部之前停止电镀工艺，凸点将形成柱状（图 3 (a1)）。如果在高于光致抗蚀剂的高度的情况下继续电镀工艺，将形成蘑菇状的凸点（图 3 (a)）。在不能够将光敏层布图成所希望的高度时，如果需要增加焊料的体积，可以采取形成蘑菇状。

完成凸点制造工艺的后续步骤包括除去保护的光敏层，如图 3 (b) 所示，以及用化学方法对溅射的铜层和铬层进行后蚀刻，如图 3 (c) 所示。

然后使所镀的凸点熔融，在烘箱中对凸点进行再流，形成焊料球。可以选择的是，当采用氮和氢相结合的还原环境时，可以得到凸点的少量熔融再流。

特别选定的凸点焊料材料如下：

a) 纯锡

选择纯锡是因为它最普通、最便宜，作为铅锡凸点的无铅替代物，它最容易制造，并且它还具有与铅锡焊料相同的物理、电和热性能。它还具有低毒性和好的可焊性。

尽管事实上对在微电子封装中用纯锡有很大的偏见，因为有充分的文件证明超时形成锡晶须的影响（会引起短路和器件的失效），用于倒装法的焊料凸点不会产生形成晶须的问题。相信形成晶须是应力-时间相关作用的结果，且相信再流工艺能减小这种应力。

b) 锡-铜

铜的百分比必须低于 2wt%，最好在代表共熔点的大约 0.7wt% 左右，该复合物显示的熔点为 227°C。铜的浓度不需要超过 2%，否则会提高这种复合物的熔点（这样会增加生产方面的问题），而且由于铜与锡形成脆的金属间化合物，因此机械性能不稳定。具有 227°C 的熔点、99.3wt%Sn/0.7wt%Cu 的复合物的锡铜合金系统被认为是高铅（95wt%Pb/5wt%Sn 或 97wt%Pb/3wt%Sn）合金的无铅替代物，其中高铅

合金具有大于 300°C 的熔点。如果衬底能够承受大约 260°C 的再流温度，锡铜合金系统还被认为是共熔铅锡凸点的替代物。

c) 锡-银

在大多数情况下，银的百分比必须低于 5wt%，最好低于合金系统的共熔点的 3.5wt%。由于银已经显示能显著提高纯锡的韧性，而当凸点须经受应力和多次热循环，需要增加韧性时，就可以添加少量的银。由于银比较贵，一般不希望银的浓度高于 3.5wt%，此外，Sn-Ag 系统的熔点也随着银含量的增加而迅速升高。例如，在含 3.5wt% 银的共熔点，熔点为 221°C 。含 10wt% 的银，熔点为 300°C ，该熔点对于大多数便宜的有机衬底或封装材料来说太高了。然而，如果需要高熔点（高于 300°C ）无铅焊料凸点，例如用于倒装焊接到陶瓷衬底上的无铅焊料凸点，最好是低于 20% 的银复合物，大约 10% 更好。含银 20% 时，熔点为 375°C ，这么高的熔点对于某些高温使用方面具有潜在使用价值，尽管含银 10% 时熔点大约为 300°C ，但该熔点与存在的 95wt%Pb/5wt%Sn 和 95wt%Pb/3wt%Sn 合金的熔点不相上下。这样，可以认为共熔体 (96.5wt%Sn/3.5wt%Ag) 和高银含量 (90wt%Sn/10wt%Ag) 合金分别是共熔体 (37wt%Pb/63wt%Sn) 和高铅 (95wt%Pb/5wt%Sn 或 97wt%Pb/3wt%Sn) 合金的无铅替代物。

d) 锡-铋

选择铋的百分比在 10-25wt% 的范围内。锡-铋系统在宽的组分范围内显示了令人满意的熔点，含铋 10% 时 225°C ，含铋 60% 时 138.5°C （代表共熔点）。含大约 20wt% 铋时，锡-铋合金系统的熔点为 185°C ，与共熔铅-锡的 183°C 类似，因此可以将这种特殊的 Sn-Bi 合金用作共熔铅-锡焊料的“意外”替代物。

e) 锡-银-铜

锡-银-铜合金的组分是低于 5wt% 的银，最好在 3.5wt% 左右，低于 2wt% 的铜，最好在 0.7wt% 左右，余量是锡。这种合金具有 216°C 和 217°C 之间的熔点，使其适合作为共熔铅锡焊料的代用品。

发现用通过电镀镀覆的上述元素锡和锡合金复合物生成焊料凸点，该焊料凸点是不含铅的，但具有与传统铅-锡焊料凸点相似的性能。

图 4(a) 是所镀的共熔锡-铜凸点的扫描电子显微照片，而图 4(b)

显示了再流后的显微照片，图中显示了很有规则的清晰的凸点。

图 5 (a) 和 (b) 是 90wt%Sn: 10wt%B_i 的锡-铋焊料凸点的扫描电子显微照片，也显示了规则的清晰的焊料凸点，该凸点具有适合于焊接到衬底上的高度。

图 6 (a) 和 (b) 是所镀的和再流后的纯锡焊料凸点的扫描电子显微照片。

图 7 (a) 和 (b) 是所镀的和再流后的 96.5wt%Sn: 3.5wt%Ag 的锡-银焊料凸点的扫描电子显微照片，图中显示了规则的清晰的焊料凸点。

图 8 (a) 和 (b) 是所镀的和再流后的 95.7wt%Sn: 3.5wt%Ag: 0.8%Cu 的锡-银-铜焊料凸点的扫描电子显微照片，该焊料凸点是用电镀锡-银然后电镀锡-铜的顺序电镀的方法制造的。

010419

说明书附图

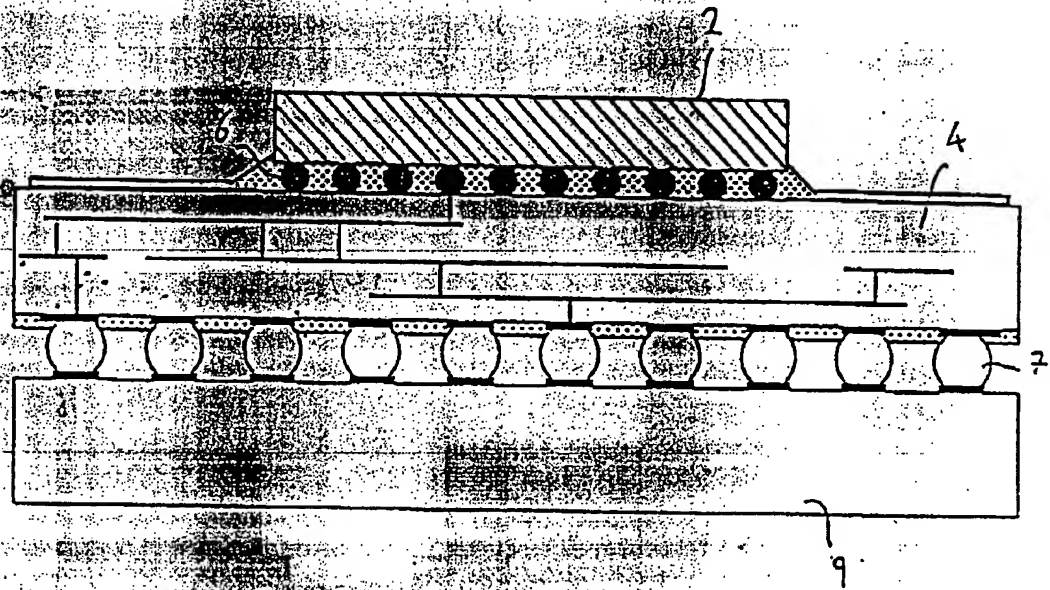
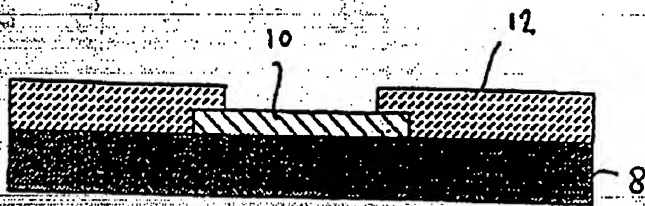


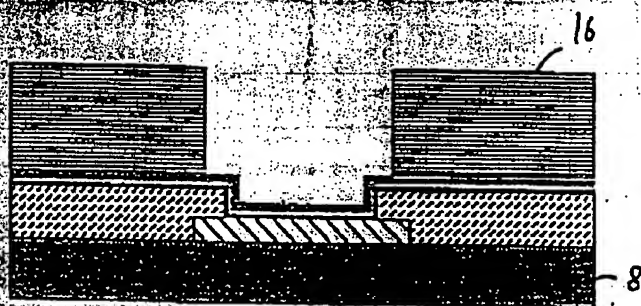
图1



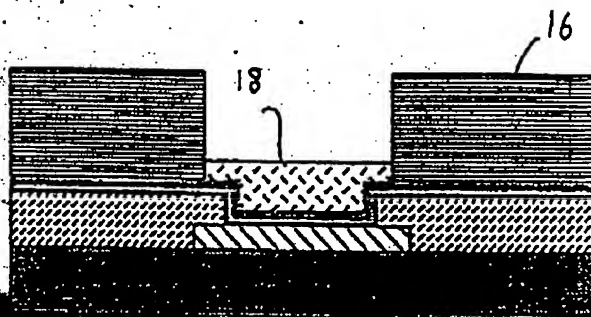
(a)



(b)



(c)



(d)

图 2

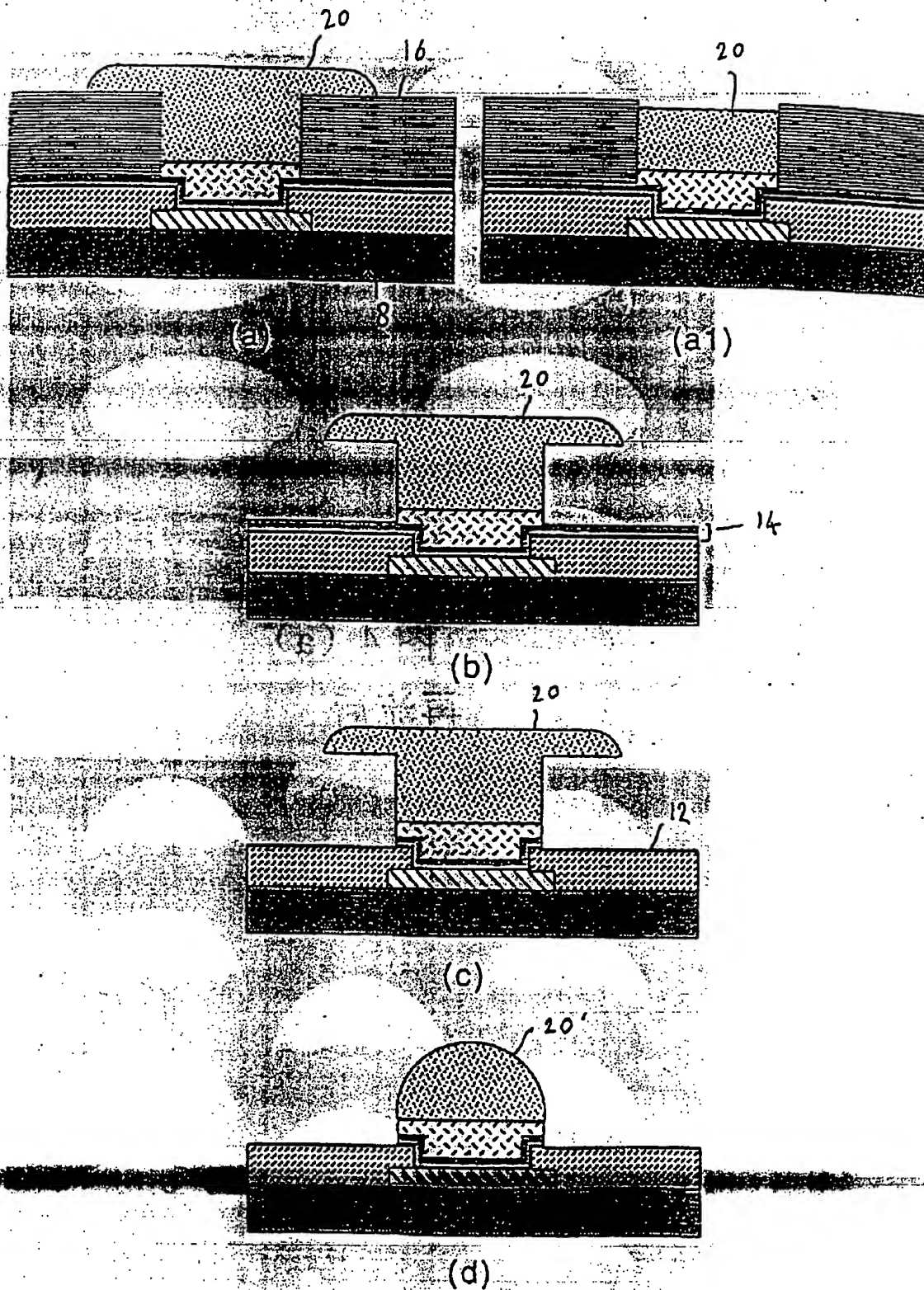


图 3

所镀的无铅 Sn:Cu (99.3:0.7) 凸点

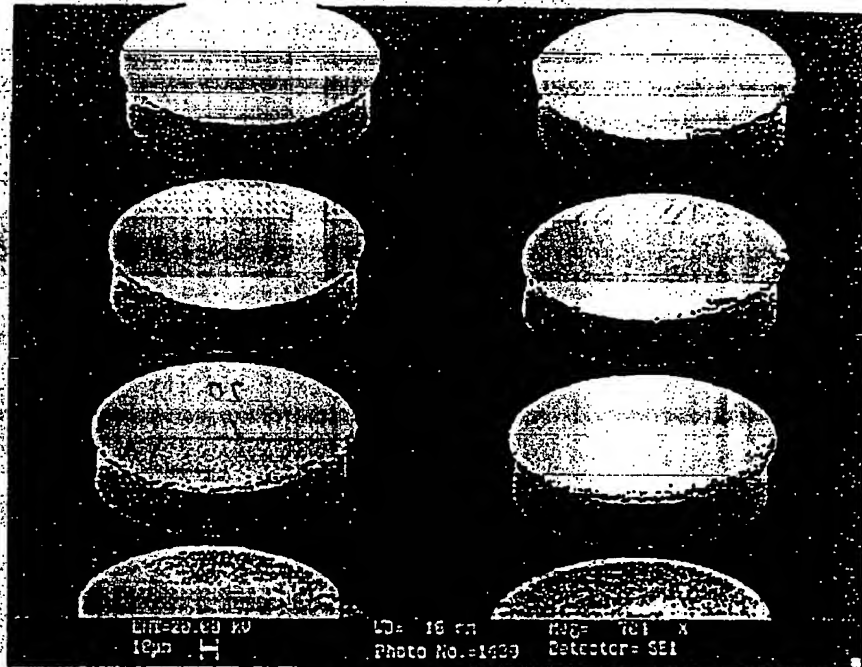


图 4 (a)

再流后

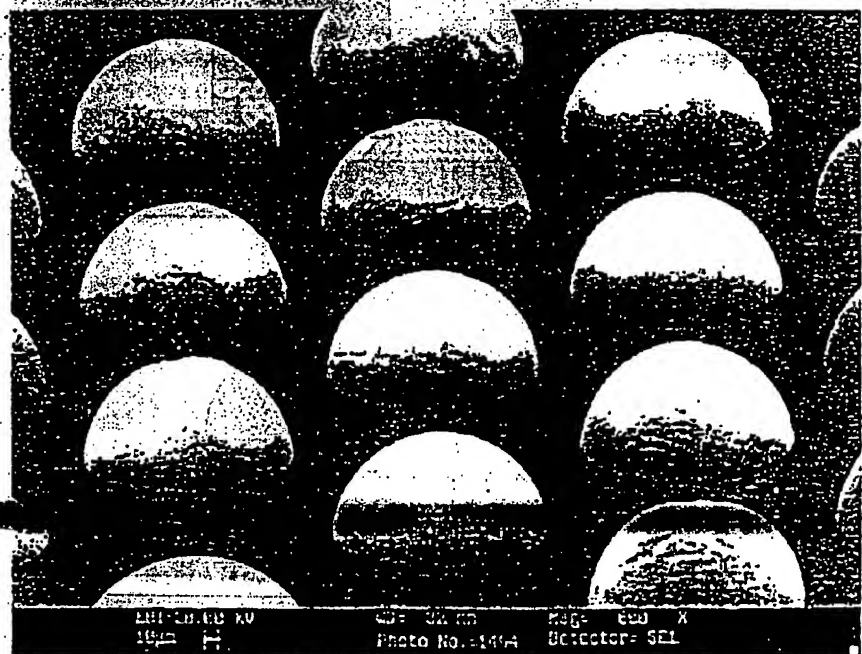


图 4 (b)

所镀的无铅 Sn:Bi (90:10) 凸点

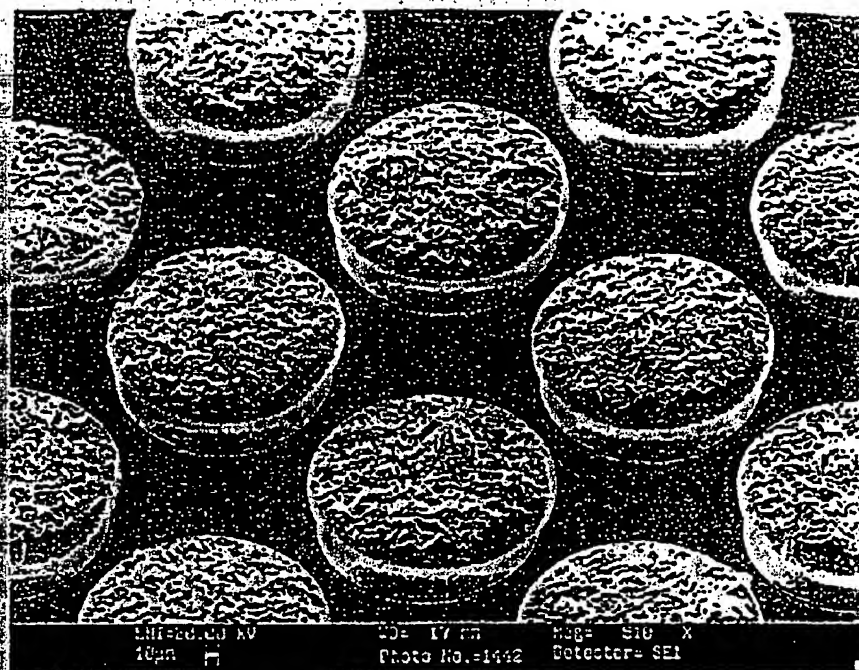


图 5 (a)

再流后

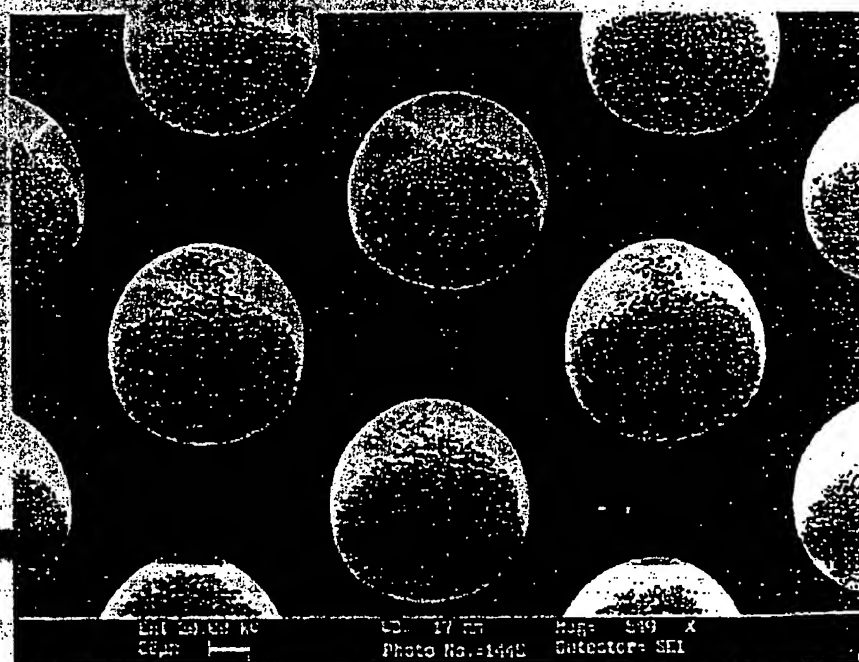


图 5 (b)

所镀的无铅纯锡凸点

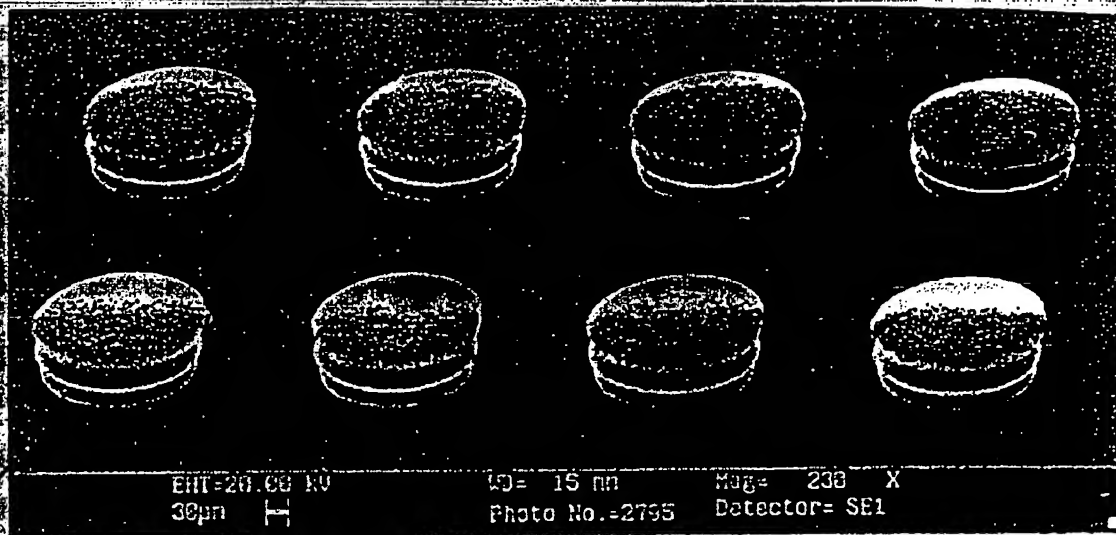


图 6 (a)

再流后

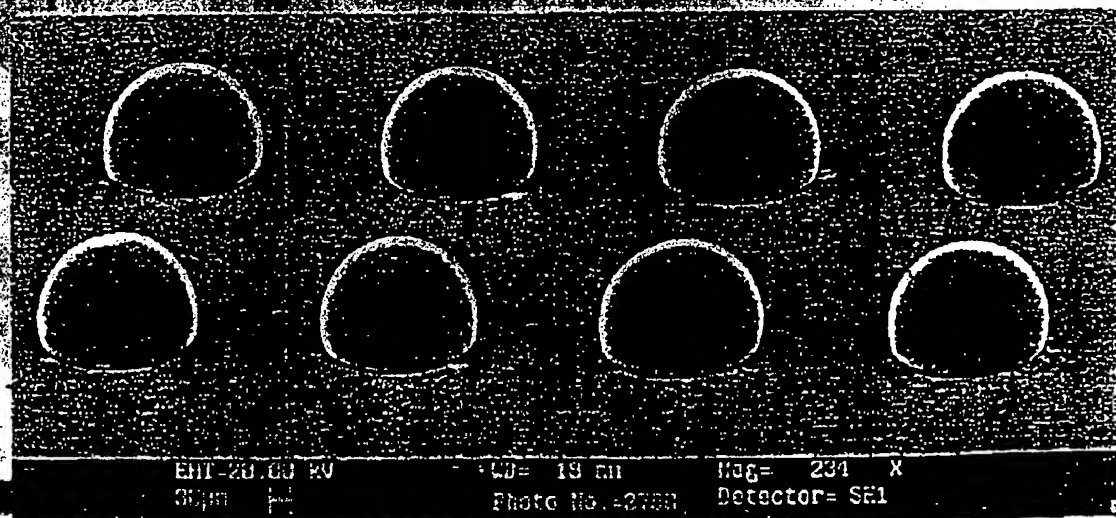


图 6 (b)

所镀的无铅 Sn:Ag (96.5:3.5) 凸点

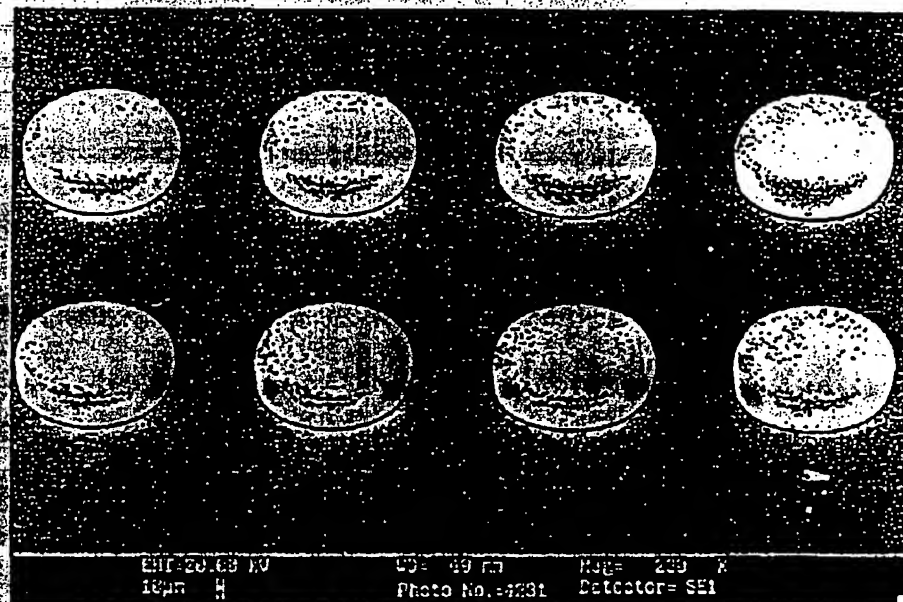


图 7 (a)

再流后

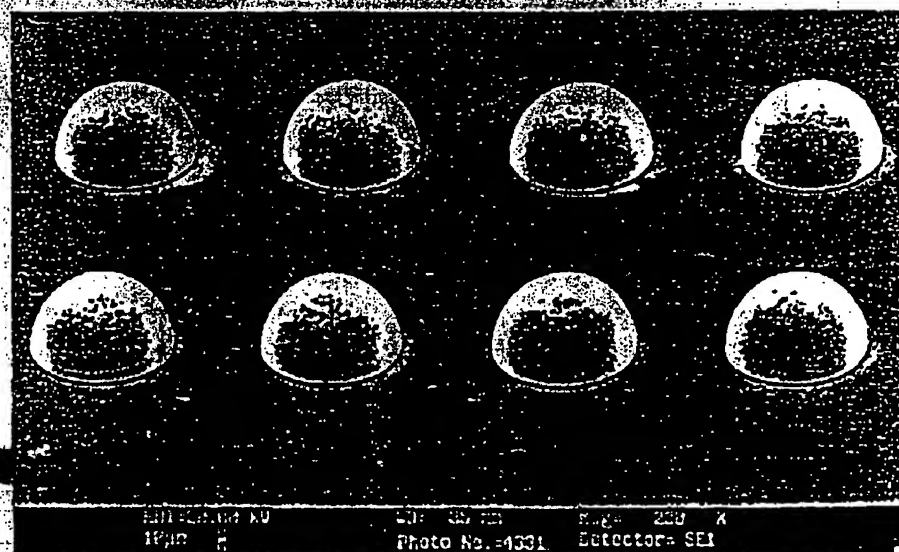


图 7 (b)

01.04.10

所镀的无铅 Sn:Ag:Cu (95.7:3.5:0.8) 凸点

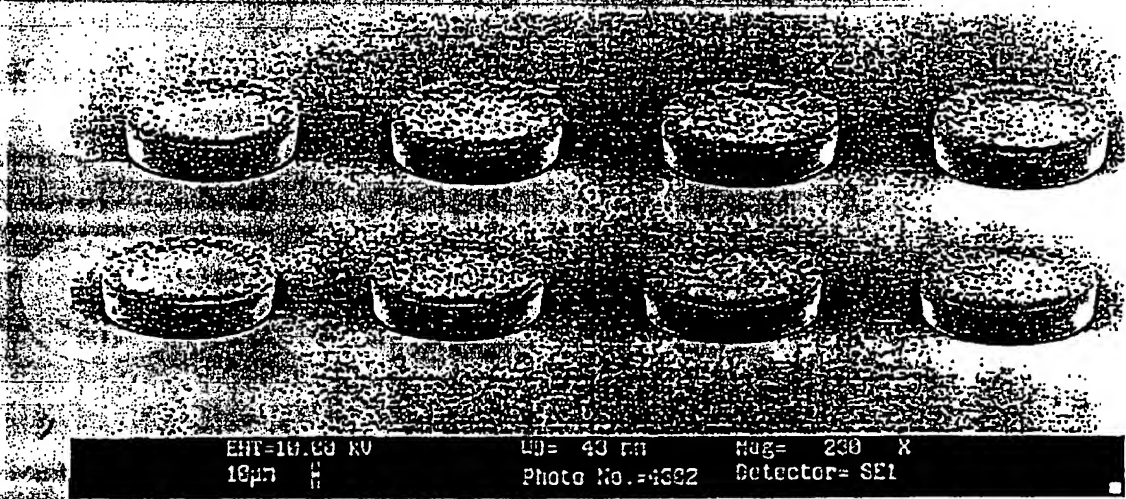


图 8 (a)

回流后再测试

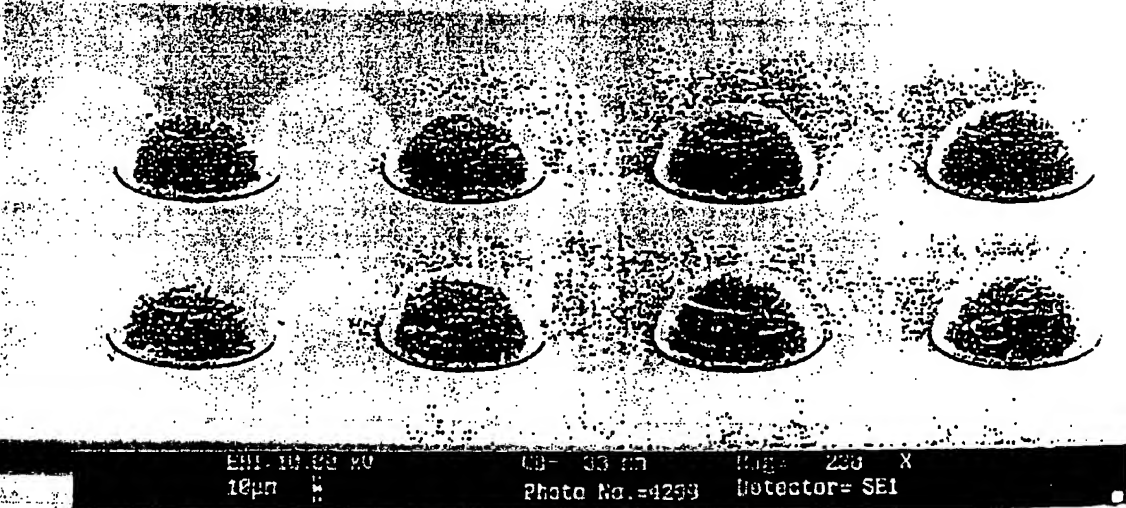


图 8 (b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.